

CLIPPEDIMAGE=JP356002667A

PAT-NO: JP356002667A

DOCUMENT-IDENTIFIER: JP 56002667 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: January 12, 1981

INVENTOR-INFORMATION:

NAME

MURAKAMI, SUSUMU

TERASAWA, YOSHIO

OIKAWA, SABURO

YAO, TSUTOMU

OKAMURA, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP54076834

APPL-DATE: June 20, 1979

INT-CL (IPC): H01L029/74;H01L029/80

US-CL-CURRENT: 257/127,257/621,257/622,257/623,257/654,257/E29.059

ABSTRACT:

PURPOSE: To increase the withstand voltage of an FET having a gate region buried in the base region of a semiconductor substrate by providing a groove extending from the surface of the substrate to the gate region, by installing a gate electrode at the bottom of the said groove and by having a p-n junction coupled on the side of the groove.

CONSTITUTION: An Si substrate 100 is consisted of p<SP>+</SP>-type anode region 111 and n<SP>-</SP>-type base region 112 and a plurality of p<SP>+</SP>-type buried gate regions 113 are formed on the surface layer of the region 112 by

diffusing. Then, after an n-type layer 116, which will be turned into a cathode region, has been grown on the whole surface of the said region 113, an etching is given leaving the layer 116 only on the area extending from the point between the region 113 to the surface of the end section of the mutually adjoining region 113, and the region 113 is then turned to a bevel type. Then, an n<SP>+</SP>-type cathode region 115 is formed by diffusion, the terminal of a p-n junction of the regions 116 and 115 is exposed to the side of the bevel and a p<SP>+</SP>-type buried gate region 114 is provided on the region 113. On this region 113 a gate electrode 300 is installed and on the region 115 a cathode electrode 400 is installed. Also an anode electrode 200 is installed on the back of the region 111.

COPYRIGHT: (C)1981,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-2667

⑬ Int. Cl.³
H 01 L 29/74
29/80

識別記号
府内整理番号
6749-5 F
7925-5 F

⑭ 公開 昭和56年(1981)1月12日
発明の数 2
審査請求 未請求

(全 6 頁)

⑮ 半導体装置およびその製造方法

⑯ 特願 昭54-76834

⑯ 出願 昭54(1979)6月20日

⑯ 発明者 村上進

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑯ 発明者 寺沢義雄

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑯ 発明者 及川三郎

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑯ 発明者 八尾勉

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑯ 発明者 岡村昌弘

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑯ 出願人 株式会社日立製作所

東京都千代田区丸の内1丁目5

番1号

⑯ 代理人 弁理士 高橋明夫

明細書

発明の名前 半導体装置およびその製造方法

特許請求の範囲

1. 一対の主表面を有し一方の主表面に複数の溝が形成された一方導電型の半導体基体と、半導体基体の相対する側面に形成されるメサ頂部に形成され上記半導体基体よりも高不純物濃度を有する一方導電型の第1の半導体領域と、半導体基体内に形成され上記導電部に露出し導電部から上記半導体基体の一対の主表面と略平行に上記第1の半導体領域を上記半導体の他方の主表面に投影して生じる投影部に含まれるまで延び、上記半導体基体との間に露出部が正べべくとなるようなP-N接合を形成する他方導電型の複数の第2の半導体領域と、上記半導体基体の他方の主表面に露出し上記半導体基体よりも高不純物濃度を有する第3の半導体領域と、上記第1の半導体領域および第3の半導体領域の露出表面に形成された一対の主電極と、上記導電部に露出する第2の半導体領域表面に形成され上

記一対の主電極の一方との間に上記半導体基体と第2の半導体基体との間に形成されるP-N接合を逆バイアスする電圧を印加し上記半導体基体内に空乏層を形成することによつて上記一対の主電極間に発れる主電流を制御する制御電極とを具備することを特徴とする半導体装置。

2. 特許請求の範囲第1項において、上記第3の半導体領域のうち、少なくとも上記第1の半導体領域を上記半導体基体の他方の主表面に投影して生じる投影部に含まれる部分が他方導電型半導体であることを特徴とする半導体装置。

3. 一対の主表面を有する一方導電型の半導体基体の一方の主表面から他方導電型を有する不純物を挿入し他方導電型の高不純物濃度領域を形成する工程と、該工程と同時あるいはそれに引続いて上記半導体基体の他方の主表面から他方導電型を有する不純物を選択的に挿入し他方導電型のゲート領域を形成する工程と、上記他方の主表面上に気相成長方法によつて一方導電型のエピタキシャル半導体層を堆積する工程と、

上記一方導電型のエビタキヤル半導体層の露出主表面から上記他方導電型のゲート領域に通し、上記エビタキヤル半導体層と上記ゲート領域間に形成されるp-n接合がその側面に正ペベルをなして露出するような複数の溝を形成する工程とを少なくとも有することを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置に係り、特に電界効果逆半導体装置に関する。

電界効果型半導体装置は、ゲートに所定の電圧を印加することにより半導体装置内部に所定の空乏領域を形成し、この空乏領域を制御することによつて半導体装置の主電流を制御するものである。この複半導体装置の代表例としてはこれまでに電界効果型トランジスタ、電界効果型サイリスタが知られている。電界効果型半導体装置において重要な点はいかに低ゲート電圧でいかに高電圧・大電流を制御できるかという点にある。このことは特にこの複半導体装置を電力分野においてスイッチング

(3)

第2に、製法上の問題がある。第1回に示すように、従来、半導体基体1のベース領域1-2に埋め込まれたゲート領域1-3を半導体基体1の一方の主表面1-0-0に連絡させゲート電極(図示せず)に接続するために比較的高濃度の拡散領域1-3-1を形成する必要があつた。この領域1-3-1は例えばSiO₂膜からなるマスク1-5を用いて選択拡散法により形成される。ところが、マスク1-5を例えば公知のホトエッチング法により形成するときに露陥等により予期せぬピンホールを生じる場合がある。仮にこのようなピンホール1-5-1が存在したとすると、ここから拡散領域1-3-1と同じ深さに異常拡散領域1-3-2が生じる。この異常拡散領域がカソード領域1-4に接触すると、ゲート電極とカソード電極(図示せず)の間に拡散領域1-3-1、ゲート領域1-3-1、異常拡散領域1-3-2、カソード領域1-4と構成されるp⁺-n⁻接合ドアードが形成され、この部分でゲート・カソード間耐圧が低下するという問題点があつた。

第3に、半導体装置の均一性が重要である。大

(5)

装置として使用する場合に重要である。本発明者は先に、これらに用途に適する構造を有する電界効果型スイッチング素子を提案した(特開昭52-66648号他)。

しかしながら最近、電界効果型サイリスタに寄せられる期待は日増に高まつており、p-n-p-n複層構造を持つ従来型サイリスタと同様K-V級の高電圧、100A級の大電流を単独で制御できるものが要望されている。このように大電力を制御するに特有な問題点がいくつ挙げられる。第1には、ゲート・カソード間の耐圧を向上させる点である。空乏層によつてじや断されるべきチャネルを狭めれば机上計算では比較的低ゲート電圧(改7V以下)で足りるが、実際にこの程度半導体装置を使用する場合にはターンオフ時に制御回路の誘導成分により発生する逆誘起電圧に耐える必要がある。逆誘起電圧はスイッチング時間と短くなる程高くなるので、特にスイッチング時間が短いという電界効果型サイリスタの特徴を生かす上で問題となる。

(4)

電流化のため、同一半導体基体内に多数の単位素子を並設し、それぞれの単位素子の電極を共通とする方法は公知である。この場合、各単位素子の構造は同一となることが望ましい。特に第1回に示す如く微細なゲート構造を有する電界効果型半導体装置においてはチャンネル幅dを均一とすることが要求されている。幅dは通常数μm~数10μmと表示であるので、これまでの製造法では幅dの精密な調整に難があつた。

本発明の目的は以上の問題点を解決した改良された電界効果型半導体装置およびその製造方法を提供することにある。

かかる目的を達成するためには本発明の特徴とするところは、第1回、半導体基体中のベース領域内に埋め込まれたゲート領域を有する電界効果型半導体装置において、半導体基体の一方の主表面から上記ゲート領域に通する溝を形成し、この溝底部にゲート電極を形成した点にある。

第2に、第1の点に加えて、ゲート領域とこれを取り囲む反対導電型の半導体領域とで形成される

(6)

$p-n$ 接合が上記例の側面に正ペルとなるように熱処理する点にある。

第3回に、一方の主表面に露出する一方導電型のカソード領域、他方導電型のゲート領域、一方導電型のベース領域、他方の主表面に露出する他方導電型のアノード領域を有する半導体構造を形成するのに、一方導電型の半導体基体を用意し、この半導体基体にまず他方導電型のアノード領域を形成し、それと同時にいはそれに引続いてゲート領域を形成するようにした点にある。

上記第1の特徴により拡散マスクのビンゴールによる異常拡散が防止でき、第2の特徴によりゲート・カソード間の高耐圧化が達成できる。また、第3の特徴によれば、熱処理時間が長く、半導体基体の濃度プロファイルに影響を及ぼすやすいアノード領域を最初に形成してしまうので、以後半導体基体にはその濃度プロファイルに影響が及ぶような熱處理が施されない。従つて、微細な構造が要求されるゲート領域の形状を変化させることなく電界効果型半導体装置を製造することがで

(7)

はカソード電極400、タンクステン板401を通して流れるが、カソード電極400は非常に薄いのでここで電圧降下は小さく、電圧降下による温帯昇降は少なくなる。また体積の大きいタンクステン板が接触しているため、熱放散が良く大電流を通電するのに適した構造である。また、この電流を遮断するには S_w を閉じてゲート電極300とタンクステン板401との間にJ₁接合が逆バイアスとなるようゲート電圧V_gを印加する。この電圧によりチャネル部117が空乏層によりビンチオフされ、同時にn⁻ベース層112内に残存しているキャリヤは埋込みゲート領域113を通りゲート電極300に流れ、主電流はターンオフされる。尚ほでターンオフさせるためには、チャネル部117のビンチオフに要する電圧よりも大きなゲート電圧を印加することを望ましい。

本実施例の特徴をより明確にするために、第2回の実施例の要部拡大図を第3回に示す。第3回において第2回と同じ部分は第2回におけると同

(8)

きる。

次に本発明の実施例を説明する。第2回は本発明の一実施例の断面構造である。シリコン半導体基体100はp⁺型ノード領域111、n⁻型ベース領域112、p型埋込みゲート領域113、p⁺型ゲート領域114、n⁻型カソード領域115、n型カソード領域116からなる。200はアノード電極、300はゲート電極、400はカソード電極であり、500は表面保護層SiO₂膜である。また401はカソード電極400に隣接しているタンクステン板である。次に本実施例半導体装置の動作について説明する。アノード電極200とタンクステン板401との間にJ₁接合が施され、ゲート電圧V_gが印加された状態でカソード・ゲート間のS_wを開くと111、112、116、115で示される各領域からなるp⁺-n⁻-n⁻ダイオードに電流が流れれる。続いて、111、112、113、116、115で示される各領域からなるp⁺-n⁻-p-n⁻サイリスタが導通する。この場合、カソード電極115

(8)

符号で示す。第3回において、埋込みゲート領域113とカソード領域116とで形成されるp-n接合J₂の端部はメサ101の肩部に露出されておりかつp型埋込みゲート領域113の不純物濃度の方がn型カソード領域116の不純物濃度よりも大きい。従つて上記p-n接合J₂の露出端部は正ペルとなる。その結果、後述するようにゲート・カソード間の耐圧が向上した。

高不純物濃度のカソード領域115はブレーナ構造を有しており、メサ101の肩部には露出していない。このような構造により、ゲート・カソード間が逆バイアスされた時にカソード領域116内に形成される空乏層がメサ101肩部に沿つて広がり易いのでこの部分での表面電界が緩和され、ゲート・カソード間耐圧が向上するという効果がある。空乏層の拡がり方の一例を第3回、第4回に点線で示した。

高不純物濃度のゲート領域114は、ゲート領域113とゲート電極300とのオーミックコンタクトを形成するために選択拡散法により形成さ

(10)

れる。従来例と異なり、拡散深さが極めて浅い。従つて、板に拡散マスクに予期せぬビンホールがあり、そこから予期せぬ箇所に p^+ 拡散領域が生じたとしても、ゲート・カソード間の耐圧が低下する恐れはない。

第4図は本発明の他の実施例の要部拡大図である。第3図のものとカソード領域115の構造が異なる。すなわち、第4図においてはカソード領域115はメサ101の頂部全面に形成されている。このような構造により、主電源導通面積が大きくなり直角方向電圧降下を低減することができる。また第3図に示したような n^+ 型カソード領域115を選択拡散する場合のホトエッティングプロセスが不要となるので、製造工程が簡略される利点を有する。第3図のような構造を採用しゲート・カソード間耐圧向上を第1に考えるか、あるいは第4図のような構造を採用し直角方向電圧降下低減を第1に考えるかは用途に応じて適宜選択されるべき事項である。

次に上述の実施例半導体装置を製造するに好適

(11)

の後 p 型埋込みゲート領域の一部が露出するよう n^+ 型カソード領域116をエッティングにより除去し四部118を形成した(1)。この露出した p 型埋込みゲート領域の一部にゲート電極のオーミックコンタクトを良好にするために厚さ約3μmの p^+ 型ゲート領域114を選択拡散法により形成した(2)。なおこれまでの説明では簡単のために拡散処理中に半導体形成される酸化膜は省略した。

最後に p^+ 型アノード領域111にはタンゲステン等のアノード電極200をアルミニウムアーチモジン等のろう材で合金接着し、 n^+ 型カソード領域115、 p^+ 型ゲート領域114の露出部にはホトエッティング法によつてアルミニウム等の金属性を蒸着し、ゲート電極300、カソード電極400を形成した。半導体基体の主表面のうち上述の各電極で被われない部分は SiO_2 膜500で覆われている(3)。完成後測定したところ、ゲート領域113の厚さは約4.0μm、ゲート領域113相互の間隔dは約6μmであつた。

上述の製造方法において重要な点は p 型ゲート

(13)

な方法について第5図を用いて説明する。まず、抵抗率が $5.0 \sim 3.0 \times 10^{-3} \Omega \cdot cm$ の n^- 型シリコン基板112の一方の主表面から表面濃度が約 $10^{18} \sim 10^{19} cm^{-3}$ となるようにボロン等P型を与える不純物を拡散し、厚さ約7.0μmの p^+ 型アノード領域111を形成した(4)。次に他方の主表面から表面濃度が約 $10^{17} \sim 10^{18} cm^{-3}$ となるようにボロン等P型を与える不純物を選択的に拡散し、P型埋込みゲート領域113を形成した(5)。このP型埋込みゲート領域113を完全に埋没させるようリンを不純物として含み濃度が $10^{15} \sim 10^{16} cm^{-3}$ の厚さ2.0μmの n^+ 型カソード領域116をエビタキシャル気相成長法で形成した(6)。次にこの n^+ 型カソード領域116の露出表面からリンを不純物として含み表面濃度が約 $10^{20} cm^{-3}$ 、厚さが約8μmの n^+ 型カソード領域115を選択拡散法で形成した(7)。この n^+ 型カソード領域115はその下方にP型埋込みゲート領域113が存在している部分(サイリスタ領域)と存在している部分(ダイオード領域)を含むようになる。そ

(12)

領域113の拡散に先立つて p 型アノード領域111の拡散を実施している点である。 p 型ゲート領域113相互の間隔dはこの種半導体装置のスイッチング特性を決定する上で重要な数値であり、所期の特性を得るためにには精密に制御する必要がある。しかるに、板にこれらの工程が逆であつたならば、 p 型ゲート領域113形成後 p^+ 型アノード領域111を形成するための長時間熱処理を受けるので上述の間隔dにばらつきが生じ易くなる。なお、 p^+ 型アノード領域111および n^+ 型カソード領域115形成時の熱処理時間はこれらの領域が高々数μmと薄いので比較的短く、上述の間隔dに及ぼす影響は無視でき得る。

本発明者等の実験によれば、上述の本実施例製法に従つた場合、間隔dのばらつきは $d = 6 \mu m$ の設計値に対して約10%であつたが、 p^+ 型アノード領域111を後から形成した場合は30%であつた。

上述した本発明の一実施例製法と同様の効果は、更に次の図法によつても享受できる。すなわち、

(14)

例えば n^+ 型のシリコン基板を用意し、このシリコン基板の一方の主表面側に第5図に示すと同様に p^+ 型ゲート領域 1 1 3、 n^+ 型カソード領域 1 1 6、 n^+ 型カソード領域 1 1 5 および凹部 1 1 8 を形成する。次に、凹部 1 1 8 の底部で p^+ 型ゲート領域 1 1 3 の露出部を選択的に、およびシリコン基板の他方の主表面全体に同時に同じ厚さ (数 μm) の p^+ 型半導体層を抵抗法により形成する。凹部 1 1 8 の底部の p^+ 型半導体層は p^+ 型ゲート領域 1 1 4 であり、他方の主表面の p^+ 型半導体層は p^+ 型ゲート領域 1 1 1 である。

この製法に従えば上述の効果に加えて次の効果がある。第1にP⁺型アノード領域はP⁺型ゲート領域と同時に形成されるので、半導体装置の製造工程が簡略化される。第2にP⁺型アノード領域の厚さはP⁺型ゲート領域と同程度に薄くなるので、半導体装置の傾向に電圧降下が小さくなる効果を有する。すなわち、P⁺型アノード領域111が薄い場合、P⁺型アノード領域111のアノード電圧200Vと接する部分での多数キャリ

(15)

なお、上述の各実施例において各半導体領域の導電型は固定されるべきものではなく、必要に応じるとともに適宜交換されてよいことは明らかであろう。特に、アノード領域のうち、少なくともゲート電極をアノード領域に投影して生ずる投影部に含まれる部分をベース領域と同導電型とするごとにより、高速化が達成される（特願昭52-86021号参照）。また、本発明は電界効果型半導体リソグラフィにおいて特に効果を発揮するものではあるが、類似のゲート構造を必要とする電界効果型トランジスタにも適用でき得るものである。

更に、上述の実施例製法において、P⁺型アノード領域111とP型ゲート領域113とは同時に形成されても良く、この場合は製造工程が簡略化されるという利点がある。

以上詳細に説明したように、本発明はゲート・カソード間耐圧が改善され、均一性に優れた電界効果型半導体装置を得るのに効果がある。

図面の簡単な説明

第1図は従来の電界効果型サイリスタの一例を

ヤ誤差は横熱平衡値を保つから、P⁺型アーノード領域 111 内での多數キャリヤ密度勾配が大きくなる。従つて、低い接合電位でかつ抵抗電流が大きくなり、他の電気特性を損なわずに傾向を逆転下が小さくなる。

更に、後述するよう n^-p^-n 型アノード領域の一部を n^-n^-n 型半導体領域に置き換えて高濃度化を図る場合、該 n^-n^-n 型半導体領域を n^-5 回(図)に示す。 n^- 型カソード領域の形成と同時に行なうことが可能である。このようにすれば一層、製造工程が簡略化され、かつ高濃度化が達成される。

次に本実施例半導体装置の効果を具体的に説明する。第2図に示す半導体装置を第5図に示す製法にて製造した場合、ゲート・カソード間耐圧は約1500Vであり、選択試験マスクに存在するビンホール等に起因するゲート・カソード間耐圧の低下は皆無であつた。これに対し、第1図に示した半導体装置では各半導体領域の不純物濃度、寸法を略同じにした場合、そのゲート・カソード間耐圧は約700Vであつた。

(16)

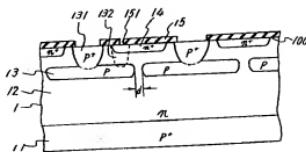
製作する一工程を示す図、第2図は本発明の一実施例電界効果型サイリスタを示す断面図、第3図は本発明の一実施例電界効果型サイリスタの内部断面図、第4図は本発明の他の実施例電界効果型サイリスタの内部断面図、第5図は本発明の一実施例電界効果サイリスタの一製法の工程を示す図である。

1 0 0 … 半導体基体、1 1 1 … p^- 型アノード領域、1 1 2 … n^- 型ベース領域、1 1 3 … p 型ケート領域、1 1 4 … p^- 型ゲート領域、1 1 5 … n^- 型ゲート領域、1 1 6 … n^- 型カソード領域、2 0 0 … アノード電極、3 0 0 … ゲート電極、4 0 0 … カソード電極。

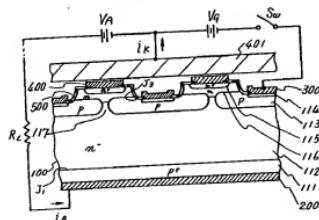
代理人弁理士 高橋明夫



第1図

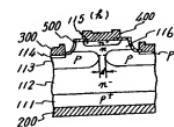
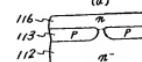
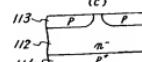
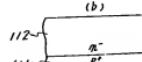
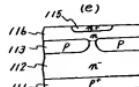
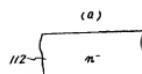
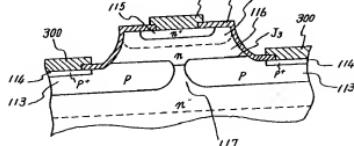


第2図

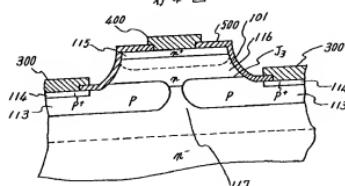


第5図

第3図



第4図



HPS Trailer Page
for
EAST

UserID: JMondt_Job_1_of_1
Printer: cp4_3c03_gbfhptr

Summary

Document	Pages	Printed	Missed	Copies
JP356002667A	6	6	0	1
Total (1)	6	6	0	-